

MULTI-CARRIER DIGITAL MODULATION TRANSMITTER*DOCUMENT 1.*

Patent number: JP2000092022
Publication date: 2000-03-31
Inventor: NAKADA TATSUHIRO; MIYASHITA ATSUSHI
Applicant: HITACHI DENSHI LTD
Classification:
- international: H04J11/00; H04J1/00
- european:
Application number: JP19980260056 19980914
Priority number(s):

Abstract of JP2000092022

PROBLEM TO BE SOLVED: To provide a multi-carrier digital modulation transmitter capable of suppressing spurious radiation and improving the efficiency of a frequency band without depending on the performance of a filter and sufficiently suppressing code errors.

SOLUTION: A data distribution circuit part 1, a multi-valued number control part 2 and a signal point arrangement part 3 are provided in a transmission part T1 and thus, a carrier whose transmission condition is deteriorated like a band end carrier is transmitted as a signal for which a multi-valued number is lowered compared to the carrier other than a band end inside a band and is returned to original data by the signal point identification part 11, multi-valued number control part 12 and data alignment circuit part 13 of a reception part R1. Since the multi-valued number of OFDM signals is reduced at both end parts of the band, signal points are largely separated at both end parts and the danger of increasing the code errors is eliminated even when a signal level is lowered as a result.

Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-92022

(P2000-92022A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 J 11/00		H 0 4 J 11/00	Z 5 K 0 0 4
1/00		1/00	5 K 0 2 2
// H 0 4 L 27/00		H 0 4 L 27/00	Z

審査請求 未請求 請求項の数 2 O L (全 15 頁)

(21) 出願番号 特願平10-260056

(22) 出願日 平成10年9月14日 (1998.9.14)

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 仲田 樹広

東京都小平市御幸町32番地 日立電子株式会社小金井工場内

(72) 発明者 宮下 敦

東京都小平市御幸町32番地 日立電子株式会社小金井工場内

(74) 代理人 100078134

弁理士 武 顕次郎

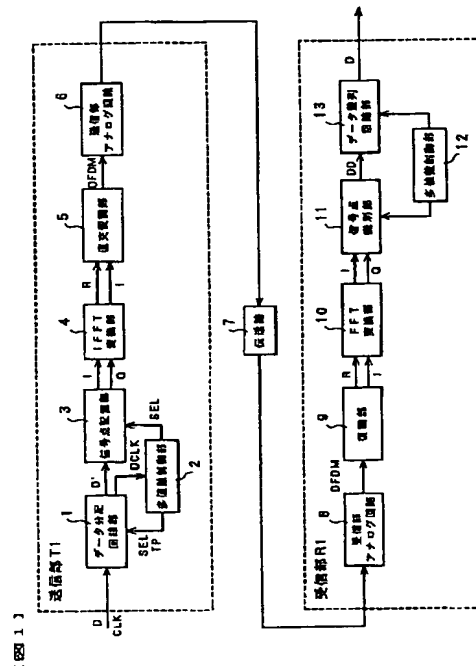
最終頁に続く

(54) 【発明の名称】 マルチキャリアデジタル変調伝送装置

(57) 【要約】

【課題】 不要輻射の抑圧と周波数帯域の利用率向上とがフィルタの性能に依存することなく得られ、符号誤りの発生を充分に抑えることができるようにしたマルチキャリアデジタル変調伝送装置を提供すること。

【解決手段】 送信部T I にデータ分配回路部1と多値数制御部2、それに信号点配置部3を設け、これにより、帯域端キャリアのように伝送条件が悪いキャリアは、帯域内での帯域端以外のキャリアに比して、多値数を下げた信号として伝送されるようにし、受信部R I の信号点識別部11と多値数制御部12、それにデータ整列回路部13により、もとのデータに戻すようにしたものの、OFDM信号の多値数が帯域の両端部で少なくされるので、両端部では信号点間が大きく離れた状態になり、この結果、信号レベルが低下しても符号誤りが多くなる虞れが無くなる。



【特許請求の範囲】

【請求項1】 複数のキャリアを用いたデジタル変調伝送装置において、伝送帯域の両端部分と、この両端部分以外の部分で信号の多値数を変え、両端部分での多値数を小さくして伝送するように構成したことを特徴とするマルチキャリアデジタル変調伝送装置。

【請求項2】 複数のキャリアを用いたデジタル変調伝送装置において、送信側に、データ分配回路部と多値数制御部、それに信号点配置部を設け、受信側には、信号点識別部と多値数制御部、それにデータ整列回路部を設け、伝送帯域の両端部分と、この両端部分以外の部分で信号の多値数を変え、両端部分での多値数を小さくして伝送するように構成したことを特徴とするマルチキャリアデジタル変調伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交周波数分割多重変調方式に代表されるマルチキャリア変調方式のデジタル伝送装置に関する。

【0002】

【従来の技術】無線通信路による信号の伝送、特に移動体無線通信路による高速の信号伝送では、受信信号は様々な伝送経路による信号の和となり、このため、伝送経路の経時変化と伝送周波数特性の経時変化による影響が避けられない。ここで、前者による影響はマルチパス(複数経路伝播)による時間選択性フェージングと呼ばれ、後者は周波数選択性フェージングと呼ばれている。

【0003】従って、このような伝送環境下において、単一のキャリアによる伝送方式、いわゆるシングルキャリア変調方式を用いた場合には、受信機側で、伝送経路の瞬時インパルスレスポンスを推定し、これにより一種の逆フィルタを構成し、受信信号を等化する必要がある。なお、これは、良く知られているように、適応等化方式と呼ばれている。

【0004】ところが、この方式は、一般にハードウェア規模が大きくなってしまいう問題があり、且つ、この結果、数メガビットを越える高速伝送に適用した場合には高速演算が必要で、実時間処理が困難になるという問題があった。そこで、このような場合には、従来からマルチキャリア変調方式が用いられている。

【0005】このマルチキャリア変調方式は、複数のキャリアを用い、同時に並列して情報を伝送する方式であり、従って、各キャリアは低速伝送となり、伝送帯域が狭いため周波数選択性(フラット)フェージングは発生せず、周波数非選択性フェージングによる歪みしか受けない。そして、この結果、送信側で予め等化が施されているものと見なすことができるため、受信側では適応等化

処理を要せず、ハードウェア規模は小さくて済む。

【0006】しかもここで、それに用いるマルチキャリア変調器として、DFT(Discrete Fourier Transform: 離散フーリエ変換)方式を適用してやれば、隣接するキャリア間隔を、直交する最小の間隔にすることができ、マルチキャリア化による占有帯域の増加を極く少ない量に抑えることができる。この方式は、特にOFDM(Orthogonal Frequency Division Multiplex: 直交周波数分割多重)変調方式と呼ばれるもので、この場合、変調信号は、直交関係を保った多数のデジタル変調波が加算されたものとなる。

【0007】このOFDM変調方式での各キャリアの変調方式には、通常、QPSK(4象限位相偏移変調方式)などの多値変調方式が用いられ、これにより、図14と図15に示すような合成波からなるOFDM信号が得られる。ここで、図15は、図14に示したOFDM信号の周波数スペクトルを表したものであり、図14のTsはシンボル期間で、kはキャリア数(搬送波数)である。

【0008】図16は従来技術によるOFDM変復調装置の一例で、図示のように、OFDM変調にはIFFT(Inverse Fast Fourier Transform: 逆高速フーリエ変換)回路81を用い、その復調には、FFT(Fast Fourier Transform: 高速フーリエ変換)回路95を用いている。

【0009】そして、まず、送信側Tでは、各キャリアの同相成分Iを実数部データR_rとし、直交成分Qを虚数部データI_rとして、IFFT81により逆フーリエ変換を行い、時間軸領域での実数部信号Rと虚数部信号Iを得る。次に、ガードインターバル付加器82により、これらの信号にガードインターバル分の信号を付加して信号R_r、I_rとする。

【0010】続いて、DA変換器83によりアナログ信号に変換してから、その実数部信号R_rに対しては発振器85からの周波数f_cのキャリア信号を用い、虚数部信号I_rに対しては更に移相回路86を介して90°移相したキャリア信号を用い、それぞれ直交変調器84で直交変調を施し、これら信号を合成器87で合成し、OFDM信号を得る。

【0011】一方、受信側Rでは、送信側とは反対に、直交復調器91で受信したOFDM信号を、発振器93からの周波数f_cのキャリア信号で復調した出力を実数部信号成分Rとし、移相回路92により90°移相したキャリア信号で復調した出力を虚数部信号成分Iとして、それぞれ取り出す。そして、これら復調信号をAD変換器94でデジタル信号に変換し、FFT95によりフーリエ変換してOFDM復調し、同相成分Iと直交成分Qを得るのである。このとき、タイミング再生器96により、高速フーリエ変換を行う際のタイミングを取るようになっている。

【0012】ところで、通常の伝送システムでは、でき

るだけ大きな伝送容量を確保するため、使用が許可されている周波数帯域幅(例えば9MHz幅)一杯の伝送帯域を用いるのが通例である。一方、帯域外に隣接した周波数領域は、他の通信サービスに利用されており、従って、帯域外に漏洩スペクトルがあると、他の通信を妨害してしまう。

【0013】このため、所要帯域外の漏洩スペクトルのレベルは、例えば-40dB以下などの所定のレベル以下しか許されていない。そこで、従来技術では、フィルタを用いて帯域外の漏洩スペクトルレベルを抑えるようにしていた。

【0014】

【発明が解決しようとする課題】上記従来技術は、OFDM変調方式でデジタル伝送を行う際のフィルタの使用に伴う問題点について配慮がされておらず、コストアップと装置の大型化を抑えるのが困難になったり、符号誤りが多くなってしまったりするという問題があった。

【0015】すなわち、従来技術のように、フィルタを用いて所要周波数帯域の近傍に現われる帯域内キャリア比-20dB前後の輻射を除去しようとする、このためには、帯域外の近傍で出力レベルを20dB以上も減衰させる急峻な特性の帯域通過フィルタ(BPF)が必要になる。

【0016】しかしながら、このような少ない周波数差で20dBもの急峻な減衰を得るためには、段数の多い高性能のフィルタ、つまり大型で高価なフィルタが必要になり、このため、装置の小型化と低コスト化が難しくなってしまうのである。

【0017】一方、コストなどについて実用的な条件で使用可能なフィルタを用いた場合には、急峻な特性は望めない、スペクトル特性が急峻なOFDMの場合、帯域内キャリアまで減衰させてしまい、以下に説明するように、変調信号に歪みが生じ、符号誤りの発生が多くなってしまふ。

【0018】まず、OFDM変調方式のデジタル伝送では、デジタル変調信号は、送信側のアナログ回路で処理されてから電波として送信され、受信側で受信された電波は、更に受信側のアナログ回路で処理された上、信号点識別部で信号の識別が行われるが、このとき、送信側と受信側のアナログ回路で、或いは伝送路を介することにより、変調信号に歪みが生じ、信号点識別部で符号誤りが発生する。

【0019】ところで、このマルチキャリア変調方式での変調信号の歪みは、周波数帯域の特定の部分、特に所要周波数帯域の端部に集中して現れるが、その原因は、上記した帯域端部での減衰や、隣接帯域からの妨害波による。すなわち、上記した、比較的安価で実用的なフィルタでは、急峻な特性が望めないため、図17に示すように、所要帯域幅の両端部での利得の減少や、隣接帯域

からの妨害波の混入が生じてしまふ。

【0020】そして、この結果、一方では帯域端でのキャリア信号のレベル低下により変調信号の信号点間距離が減少し、これにより帯域端キャリアの符号誤り率が高くなり、他方、妨害波の混入によりSN比が低下し、これにより帯域端キャリアの符号誤り率が高くなってしまふのである。

【0021】本発明の目的は、不要輻射の抑圧と周波数帯域の利用率向上とがフィルタの性能に依存することなく得られ、符号誤りの発生を充分に抑えることができるようにしたマルチキャリアデジタル変調伝送装置を提供することにある。

【0022】

【課題を解決するための手段】上記目的は、複数のキャリアを用いたデジタル変調伝送装置において、伝送帯域の両端部分と、この両端部分以外の部分で信号の多値数を変え、両端部分での多値数を小さくして伝送するようにして達成される。

【0023】また、上記目的は、複数のキャリアを用いたデジタル変調伝送装置において、送信側に、データ分配回路部と多値数制御部、それに信号点配置部を設け、受信側には、信号点識別部と多値数制御部、それにデータ整列回路部を設け、伝送帯域の両端部分と、この両端部分以外の部分で信号の多値数を変え、両端部分での多値数を小さくして伝送するようにして達成される。

【0024】これにより、伝送条件の劣化したキャリアについては、その多値数が下げられるので、信号点間距離が大ききとされ、この結果、急峻な特性が望めないフィルタを用いても、全体としての符号誤り率の低下が抑えられることになる。

【0025】

【発明の実施の形態】以下、本発明によるマルチキャリアデジタル変調方式の伝送装置について、図示の実施形態により詳細に説明する。図1は、本発明の一実施形態で、図示のように、送信部T1と受信部R1を備え、これらの間を伝送路7で結合した形に構成されている。なお、この伝送路7は、実際には電磁波による空間伝播経路となる。

【0026】まず送信部T1は、データ分配回路部1と多値数制御部2、信号点配置部3、IFFT変換部4、直交変調部5、それに送信部アナログ回路6で構成されており、次に受信部R1は、受信部アナログ回路8と復調部9、FFT変換部10、信号点識別部11、多値数制御部12、それにデータ整列回路部13で構成されている。

【0027】ここで、図1の送信部T1でのIFFT変換部4は、図16で説明した従来技術におけるIFFT81に相当し、同じく直交変調部5は、同じく図16におけるガードインターバル付加器82とDA変換器83、直交変調器84、発振器85、移相器86、それに

合成器87からなる部分に相当しており、従って、この実施形態による送信部T1は、図16の従来技術による送信側Tに、データ分配回路部1と多値数制御部2、信号点配置部3、それに送信部アナログ回路6が付加されたものに相当している。

【0028】同様に、図1の受信部R1での復調部9は、図16の従来技術における直交復調器91と移相回路92、発振器93、それにAD変換器94からなる部分に相当し、同じくFFT変換部10は、同じく図16のFFT95とタイミング再生器96に相当しており、従って、この実施形態による受信部R1は、図16の従来技術による受信側Rに、受信部アナログ回路8と信号点識別部11、多値数制御部12、それにデータ整列回路部13が付加されたものに相当している。

【0029】従って、以下、図16の従来技術とは異なっている点に重点をおいて、説明することにする。ここで、概括的にいうと、この実施形態では、次の点を特徴としている。まず、送信部T1には、一定のレートで8ビットからなるデータが外部から入力されるものとし、このとき、多値数制御部2は、キャリアの番号に応じて、その多値数を変更するように、信号点配置部3を制御するようになっている。

【0030】これにより、帯域端キャリアのように伝送条件が悪いキャリアは、帯域内での帯域端以外のキャリアに比して、多値数を下げた信号として伝送されるようにしてある。すなわち、いま、ここでは、キャリアの多値数を、図7に示すように、16値にし、これにより信号を伝送するものとする、帯域端のキャリアについては、その多値数を変換し、図8に示すように、4値に下げて伝送するのである。

【0031】しかして、このように、キャリアの多値数を、キャリアの番号に応じて切換えるようにした結果、各キャリアに割り当てるデータのビット数も変える必要が生じる。そこで、この実施形態では、送信部T1にはデータ分配回路部1を、そして受信部R1にはデータ整列回路部13を、夫々設け、データ分配回路部1では、入力されたデータを、切換えられた多値数に合わせて各キャリアに分配し、データ整列回路部13で、元のデータ形式に再構成して出力するようにしてある。

【0032】また、このため、送信部T1のデータ分配回路部1は、外部から入力されたデータのデータレートクロックを多値数を変換した後、伝送路7を介して伝送すべきデータのデータレートクロックに変換する機能を持たせ、受信部R1のデータ整列回路部13は、反対に、伝送路7を介して伝送されてきたデータのデータレートクロックを、外部に出力するデータのデータレートクロックに変換する機能を持たせてある。

【0033】以下、この図1の実施形態について、さらに詳細に説明する。まず、送信部T1のデータ分配回路部1と多値数制御部2、それに信号点配置部3について

説明する。データ分配回路部1は、図2に示すように、FIFO(ファーストイン・ファーストアウト)メモリ1-1と、伝送クロック発生器1-2、それにビット数変換器1-3で構成されている。

【0034】FIFOメモリ1-1は、そのWEN(ライトイネーブル)端子を接地してLレベルにし、これによりデータの書き込みモードに設定され、WCLK(書込クロック)端子に供給されているクロックCLKにより、外部から入力される8ビットのデータDを順次、連続的に書き込んで行き、この書き込んだデータDを多値数制御部2から供給されるタイミングパルスTPによりタイミングを取って読み出し、データRDとして出力する働きをする。

【0035】従って、FIFOメモリ1-1に、順次、連続的に書き込まれた入力データDは、REN(リードイネーブル)端子に、多値数制御部2から供給されるタイミングパルスTPが入力されたとき、伝送クロックDCLKに依りて、データRDとして、順次、連続的に読出されてくることになる。このとき、書込用のクロックCLKは、入力されてくるデータDから抽出されるようになっている。

【0036】伝送クロック発生器1-2は、例えばPLLシンセサイザなどで構成され、WCLK端子に供給されるクロックCLKを入力し、それを分周して、所定の周波数の伝送クロックDCLKを発生する働きをする。そして、この伝送クロックDCLKは、FIFOメモリ1-1のRCLK(読出クロック)端子と多値数制御部2に供給されるようになっている。

【0037】ビット数変換器1-3は、帯域端部のキャリアと、それ以外のキャリアを識別するための識別信号SELに基づいて、FIFOメモリ1-1から読み出されてくる8ビットのデータRDを、その多値数に応じて有効2ビット、又は有効4ビットのデータD'に変換する働きをする。

【0038】次に、多値数制御部2は、図3に示すように、キャリア数カウンタ2-1とデコーダ2-2、カウンタ2-3、それにセレクタ2-4で構成されている。そして、まずキャリア数カウンタ2-1は、シンボル同期信号SSによりリセットされ、その都度、伝送クロックDCLKをカウントしてキャリアカウント値CCNTを出力する働きをする。

【0039】そして、デコーダ2-2は、このキャリアカウント値CCNTをデコードして識別信号SELを発生する働きをする。ここで、シンボル同期信号SSとは、図7、図8に示す各信号点の1個の信号を伝送する期間を1シンボルとし、この1シンボル期間、つまり図14のシンボル期間Ts毎に現われる同期信号のことである。

【0040】一方、カウンタ2-3は、2進と4進の2台の分周器を備え、伝送クロックDCLKから、それぞ

れ分周比を異にするクロックを発生する働きをし、セレクト2-4は、これら2台の分周器から出力されるクロックの中から、識別信号SELに応じて順次一方のクロックを選択し、それをタイミングパルスTPとして出力する働きをする。

【0041】次に、信号点配置部3は、図4に示すように、アドレスデコーダ3-1と、セクタ3-2、I(In phase)軸ROM3-3、Q(Quadrature phase)軸ROM3-4で構成されている。そして、まずアドレスデコーダ3-1は、4値用と16値用のそれぞれのアドレスデコーダを備え、有効2ビット、又は有効4ビットのデータD'をそれぞれデコードし、I軸ROM3-3とQ軸ROM3-4のアクセスに必要なアドレスを出力する働きをする。

【0042】次に、セクタ3-2は、アドレスデコーダ3-1から供給されている2種のアドレスの一方を識別信号SELに応じて選択し、I軸ROM3-3とQ軸ROM3-4に供給する働きをする。また、I軸ROM3-3とQ軸ROM3-4は、図8に示す4値I軸と4値Q軸の信号点配置と、図7に示す16値I軸と16値Q軸の信号点配置を、それぞれアドレスに応じて記憶したROMで構成され、入力されてくるアドレスに対応した信号点位置を出力する働きをする。

【0043】次に、これらデータ分配回路部1と多値数制御部2、信号点配置部3による動作について、図5のタイミング図により説明する。多値数制御部2のキャリア数カウンタ2-1は、図5に示すシンボル同期信号SSによりリセットされる毎に、伝送クロックDCLKのカウントを開始するので、そのキャリアカウント値CCNTは、図5に示すように、リセットされたときのカウンタ値0から、1シンボル期間内での伝送クロックDCLKの個数で決まる所定値Nまで増加してゆくデータとなる。

【0044】同じくデコーダ2-2は、キャリアカウント値CCNT、つまり1シンボル期間内での伝送クロックDCLKの個数から、帯域端キャリア期間と、帯域内での帯域端以外のキャリア期間を識別し、これにより、図示のように、帯域端キャリア期間内ではLレベル、帯域内での帯域端以外のキャリア期間内ではHレベルになる識別信号SELを出力する。

【0045】このため、このデコーダ2-2には、予め第1の所定値と、それよりも大きい数値の第2の所定値が設定しており、キャリアカウント値CCNTが第1の所定値以下のときは、キャリア期間は帯域内の低周波数側の端部であると判定し、第2の所定値以上のときは、同じく高周波数側の端部であると判定すると共に、第2の所定値を越え、第2の所定値未満のときは、帯域端以外のキャリア期間内であると判定するようになってい

る。

【0046】そこで、セクタ2-4は、この識別信号

SELを入力し、それがLレベルのときは、カウンタ2-3の4進分周器からの出力を選択し、Hレベルのときは2進分周器の出力を選択し、タイミングパルスTPを出力する。

【0047】この実施形態では、帯域端キャリア期間内に2ビットのデータを割り当て、帯域端以外のキャリア期間内には4ビットのデータが割り当てられるようにしてあり、従って、帯域端キャリア期間内では、FIFOメモリ1-1に書き込まれている8ビットのデータについて、伝送クロックDCLKのパルス4個に1回、データを読み出せば良いことになり、他方、帯域端以外のキャリア期間内では、パルス2個についてデータを1回、読み出せば良いことになる。

【0048】そこで、セクタ2-4は、識別信号SELがLレベルのとき、カウンタ2-3の4進分周器のキャリアアウト信号を選択し、Hレベルのときは、2進分周器のキャリアアウト信号を選択して、タイミングパルスTPを発生するようにしてある。

【0049】従って、このセクタ2-4の出力に現われるタイミングパルスTPは、図5に示すように、帯域端キャリア期間内では伝送クロックDCLKが4分周されたパルスとなり、帯域内での帯域端以外のキャリア期間内では伝送クロックDCLKが2分周されたパルスとなる。

【0050】そして、データ分配回路部1のFIFOメモリ1-1は、そのリードイネーブルREN端子にタイミングパルスTPが入力される毎に、8ビットのデータDを読み出すので、図5に示すように、帯域端キャリア期間内と、帯域内での帯域端以外のキャリア期間内とで、データレートが変更されたデータRDが出力されることになる。このデータRDは、ビット数変換器1-3に供給され、ここで図5に示すように、識別信号SELに応じて2ビットと4ビットのデータに変更され、有効2ビットの部分と有効4ビットの部分からなるデータD'として信号点配置部3に供給される。

【0051】この信号点配置部3では、まずアドレスデコーダ3-1で、有効2ビットと有効4ビットのデータD'をデコードして、16値用のアドレス16Aと、4値用のアドレス4Aを発生させ、次いで、これら2種のアドレスの一方を、セクタ3-2により、識別信号SELに応じて選択し、I軸ROM3-3とQ軸ROM3-4に供給する。

【0052】そして、これらのアドレス16Aとアドレス4Aにより、各I軸ROM3-3とQ軸ROM3-4を検索し、これにより、図7と図8に示したキャリアの多値数に対応したI軸とQ軸の各信号点位置がROMから読出され、I軸とQ軸の各信号点位置を表わすデータ系列として、図1のIFFT変換部4に供給されることになる。

【0053】そこで、IFFT変換部4は、このデータ

系列を時間軸の波形に変換して直交変調部5に供給し、この直交変調部5から出力されたOFDM信号が送信部アナログ回路6に供給され、電波として送信されることになる。ここで、この実施形態において、IFFT変換部4に入力されるデータ系列とOFDM信号のキャリア周波数の関係については、図6に示すようになり、シンボル先頭のデータに最も低い周波数が割当てられ、シンボル最後のデータには最も高い周波数が割当てられることになる。

【0054】そして、このとき、帯域の両端ではデータの多値数が小さくされているので、図7と図8の比較から明らかなように、アナログ回路の存在や伝送条件の違いなどにより、伝播特性の悪化が避けられない帯域の端部では、信号点間距離が大きくなっているため、符号誤りの発生を容易に抑えることができる。

【0055】次に、図1に戻り、受信部RIについて説明する。送信部TIから送信され、伝送路7を介して受信部RIに伝送されたOFDM信号は、受信部アナログ回路8を介して復調部9に供給され、ここで直交復調処理されてからFFT変換部10に供給されることにより、このFFT変換部10から同相成分Iと直交成分Qからなるデータ系列を得、これが信号点識別部11に11入力され、多値数制御部12の制御のもとで、データ整列回路部13からデータDが出力されるようになっている。

【0056】従って、上記したように、この受信部RIは、図16に示した従来技術による受信部Rに信号点識別部11と多値数制御部12、それにデータ整列回路部13が付加された形になっている。ここで、多値数制御部12は、図3に示した送信部TIでの多値数制御部2と同様な構成である。そして、ここでのキャリア数カウンタ2-1はシンボル同期信号SSによりリセットされる。

【0057】しかし、この受信部RIでは、このシンボル同期信号SSは、図16で説明したタイミング再生器96で生成される信号で、これは、受信OFDM信号のシンボルの開始点を表すシンボル同期信号であり、この信号がキャリア数カウンタ2-1のリセット端子Cに入力され、カウント値がリセットされるようになっている。

【0058】この受信側でのシンボル同期信号SSの生成方法について説明すると、通常、このような無線伝送システムでは、送信部と受信部の同期を取るため、伝送される信号中に同期再生用の同期信号を挿入しておくのが一般的である。そして、この同期信号としては、例えば無信号状態を表すヌル信号や一定の周波数の信号を送信するCW信号、伝送帯域の下限の周波数から上限の周波数まで変化するSWEEP信号などが用いられている。

【0059】そこで、受信側のタイミング再生器96で

は、受信されたOFDM信号から上記した同期信号を抽出し、これにより同期引き込み処理によりサンプリングクロック再生やシンボル再生を行ない、これにより得られたシンボル同期に合わせてシンボル同期信号SSを生成するのである。

【0060】この結果、図9に示すように、この受信側の多値数制御部12から出力される識別信号SELは、送信側の多値数制御部2と同じく、帯域の端部では4値変調を表すLレベルとなり、帯域の端部以外の部分(帯域の中央部)では16値を表すHレベルとなり、タイミングパルスPTも、同じく帯域端キャリア期間内では伝送クロックDCLKが4分周されたパルスとなり、帯域内での帯域端以外のキャリア期間内では伝送クロックDCLKが2分周されたパルスとなる。

【0061】次に、信号点識別部11は、図10に示すように、16値しきい値再生部11-1と4値しきい値再生部11-2、16値信号点識別部11-3、4値信号点識別部11-4、それにセクタ11-5で構成されている。そして、まず16値しきい値再生部11-1では、FFT変換部10から供給される同相成分Iと直交成分Qから、図11に示すように、16種の信号点配置の各々を識別するのに必要なしきい値を算出し、16値信号点識別部11-3に供給する。

【0062】そこで、16値信号点識別部11-3は、この16値しきい値再生部11-1から供給されたしきい値により、FFT変換部10から供給される同相成分Iと直交成分Qのレベルを判定し、復調を行う。この復調処理は、16値に対応するので、復調結果として得られる有効ビット数は4ビットとなる。なお、このとき、伝送路7でのノイズの重畳などにより、信号点がしきい値を越えることがあると、これが符号誤りとなる。

【0063】4値しきい値再生部11-2は、図12に示すように、4種の信号点配置の各々を識別するのに必要なしきい値を算出し、4値信号点識別部11-4に供給する。そして、4値信号点識別部11-4は、この4値しきい値再生部11-2から供給されたしきい値により、FFT変換部10から供給される同相成分Iと直交成分Qのレベルを判定し、復調を行う。この復調処理は、4値に対応するので、復調結果として得られる有効ビット数は2ビットとなる。

【0064】これら16値信号点識別部11-3と4値信号点識別部11-4はそれぞれセクタ11-5に入力されるが、このセクタ11-5は、多値数制御部12から供給される識別信号SELにより動作し、識別信号SELがLレベルのときは4値信号点識別部11-4の出力を選択し、Hレベルのときは16値信号点識別部11-3の出力を選択する。

【0065】ここで、上記したように、識別信号SELは、4値変調と16値変調を識別する信号で、図9に示したように、帯域端で4値変調が施されている期間では

Lレベルであるが、帯域の中央部で16値変調がされている期間ではHレベルとなるので、結局、セレクト11-5の出力には、図9に示す復調データDDが取り出され、データ整列回路13に供給されることになる。

【0066】このデータ整列回路13は、送信部T1におけるデータ分配回路部1と反対の機能を持ち、信号点識別部11から供給される復調データDDを8ビットの一定レートの信号Dに変換して出力する働きをし、このため、図13に示すように、ビット数変換器13-1とFIFOメモリ13-2、それに外部クロック発生器13-3で構成されている。そして、信号点識別回路11から供給された有効2ビット又は有効4ビットの復調データDDは、このデータ整列回路13のビット数変換器13-1に入力される。

【0067】このビット数変換器13-1には識別信号SELが入力されており、これにより、図9に示すように、識別信号SELがLレベルのときは、有効2ビットのデータを4個づつ一まとまりにして8ビットのデータに変換し、変換データWDとして出力し、識別信号SELがHレベルのときは、有効4ビットのデータを2個づつ一まとまりにして8ビットのデータに変換し、変換データWDとして出力する働きをする。

【0068】この変換データWDは、FIFOメモリ13-2のデータ書き込み端子WDATAに入力される。一方、これと平行して、FIFOメモリ13-2のライトイネーブル端子WEには、多値数制御部12から出力されるタイミングパルスTPが入力される。

【0069】このとき、変換データWDは、図9に示すように、データ周期が帯域端と帯域の中央部では異なっているが、図示のように、タイミングパルスTPも、同じく周期が異なっていて、このパルスTPがLレベルのとき、FIFOメモリ13-2に書き込みが行われるので、帯域端と帯域の中央部で周期が異なっている変換データWDが正しく書き込まれることになる。

【0070】次に、このFIFOメモリ13-2からは、以下に説明するようにして、データが読出される。まず、FIFOメモリ13-2のリードクロック端子RCKに外部クロック発生器13-3から出力される外部クロックCLKを入力する。このとき、FIFOメモリ13-2のリードイネーブル端子は、図示のように、Lレベルにしておく。

【0071】この結果、FIFOメモリ13-2のデータ読出し端子RDATAからは、このメモリに記憶されていたデータが、外部クロックCLKのタイミングで読出され、外部出力信号Dとして出力される。外部クロック発生器13-3はPLL回路とVCO回路を備え、伝送系のクロックDCLKから外部クロックCLKを生成するように構成されている。

【0072】この実施形態によれば、伝送帯域の両端部分と、この両端部分以外の部分では信号の多値数が変

られ、両端部分での多値数が小さくされてから伝送されることになり、この結果、伝送条件の劣化したキャリアについては、その多値数が下げられるので、信号点間距離が大きくなり、従って、急峻な特性が望めないフィルタを用いても、全体としての符号誤り率が低下する虞れがなくなり、ローコストで容易に高性能の伝送特性を得ることができる。

【0073】

【発明の効果】本発明によれば、OFDM信号の多値数が帯域の両端部で少なくされ、両端部では信号点間が大きく離れた状態になり、このため、信号レベルが低下しても符号誤りが多くなる虞れが無くなる。また、この結果、本発明によれば、急峻な特性のフィルタを用いなくても、容易に符号誤りを抑えることができ、従って、伝送帯域の利用率が高い、高性能のマルチキャリアディジタル変調伝送装置をローコストで容易に提供することができる。

【図面の簡単な説明】

【図1】本発明によるマルチキャリアディジタル変調伝送装置の一実施形態を示すブロック図である。

【図2】本発明の実施形態における送信部でのデータ分配回路部の一例を示すブロック図である。

【図3】本発明の実施形態における送信部での多値数制御部の一例を示すブロック図である。

【図4】本発明の実施形態における送信部での信号点配置部の一例を示すブロック図である。

【図5】本発明の実施形態における送信部の動作を説明するためのタイミング図である。

【図6】本発明の一実施形態によるキャリア周波数分布の説明図である。

【図7】OFDM信号の信号点配置の一例を示す説明図である。

【図8】OFDM信号の信号点配置の一例を示す説明図である。

【図9】本発明の実施形態における受信部の動作を説明するためのタイミング図である。

【図10】本発明の実施形態における受信部での信号点識別部の一例を示すブロック図である。

【図11】本発明の実施形態における16値復調しきい値の説明図である。

【図12】本発明の実施形態における4値復調しきい値の説明図である。

【図13】本発明の実施形態におけるデータ整列回路部の一例を示すブロック図である。

【図14】OFDM信号の一例における波形図である。

【図15】OFDM信号の一例におけるスペクトラム図である。

【図16】従来技術によるOFDM変復調装置の一例を示すブロック図である。

【図17】フィルタの特性による影響の一例を説明する

ための特性図である。

【符号の説明】

- 1 データ分配回路部
- 2 多値数制御部
- 3 信号点配置部
- 4 IFFT変換部
- 5 直交変調部
- 6 送信部アナログ回路

* 7 伝送路

8 受信部アナログ回路

9 復調部

10 FFT変換部

11 信号点識別部

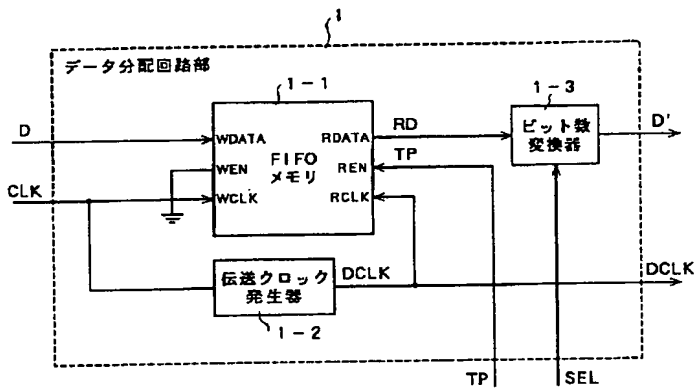
12 多値数制御部

13 データ整列回路部

*

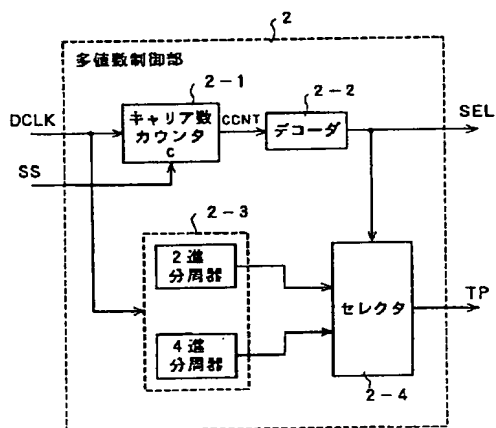
【図 2】

【図 2】



【図 3】

【図 3】

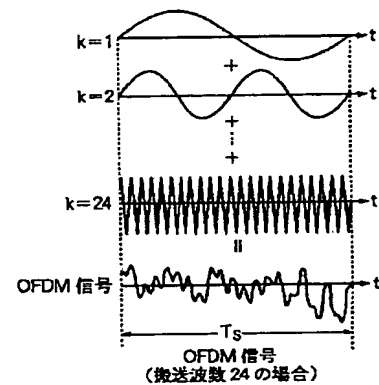


【図 7】

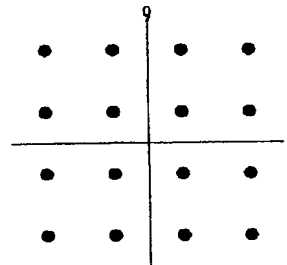
【図 15】

【図 14】

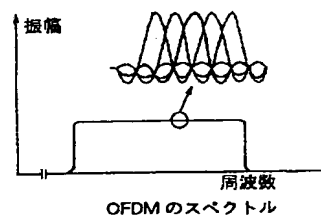
【図 14】



【図 7】

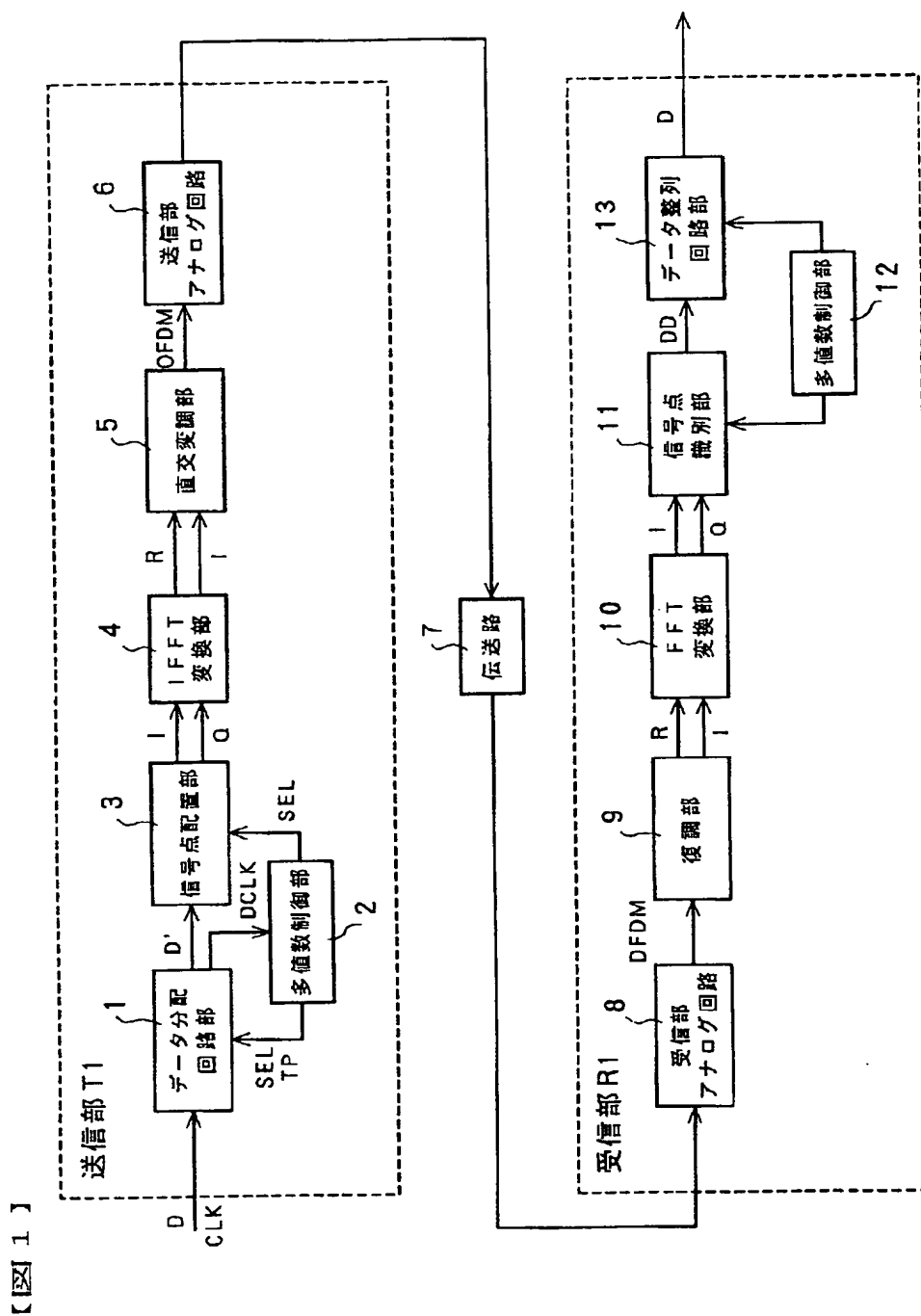


【図 15】



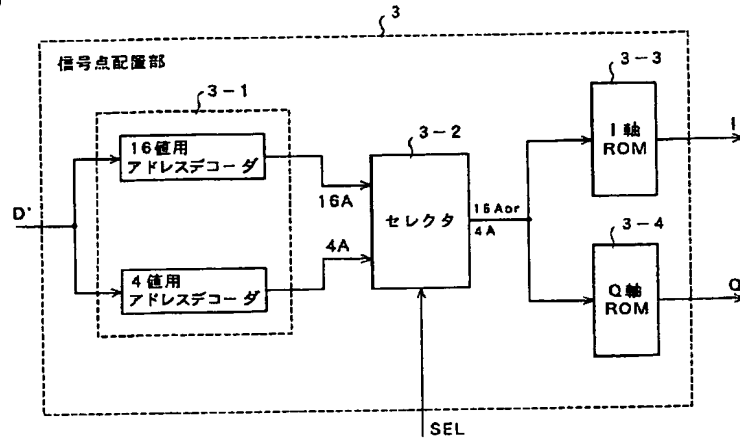
(9)

【図1】



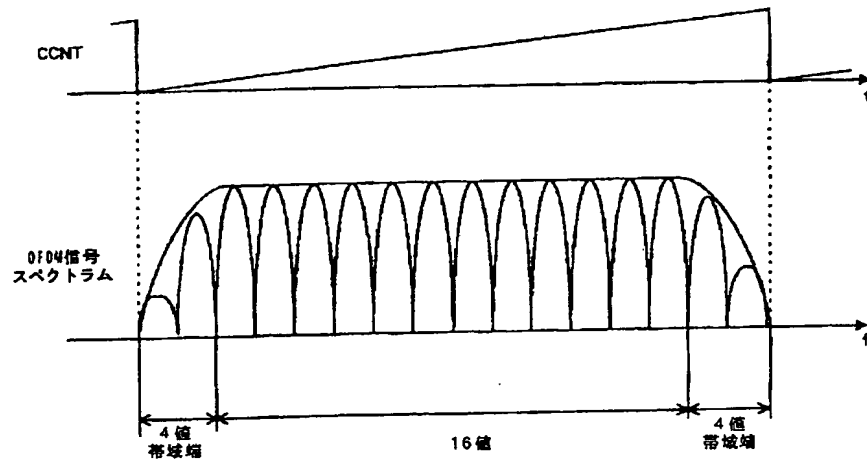
【図4】

【図4】



【図6】

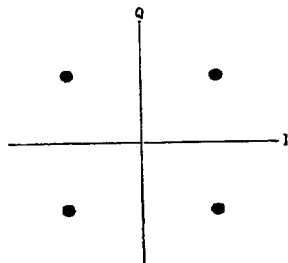
【図6】



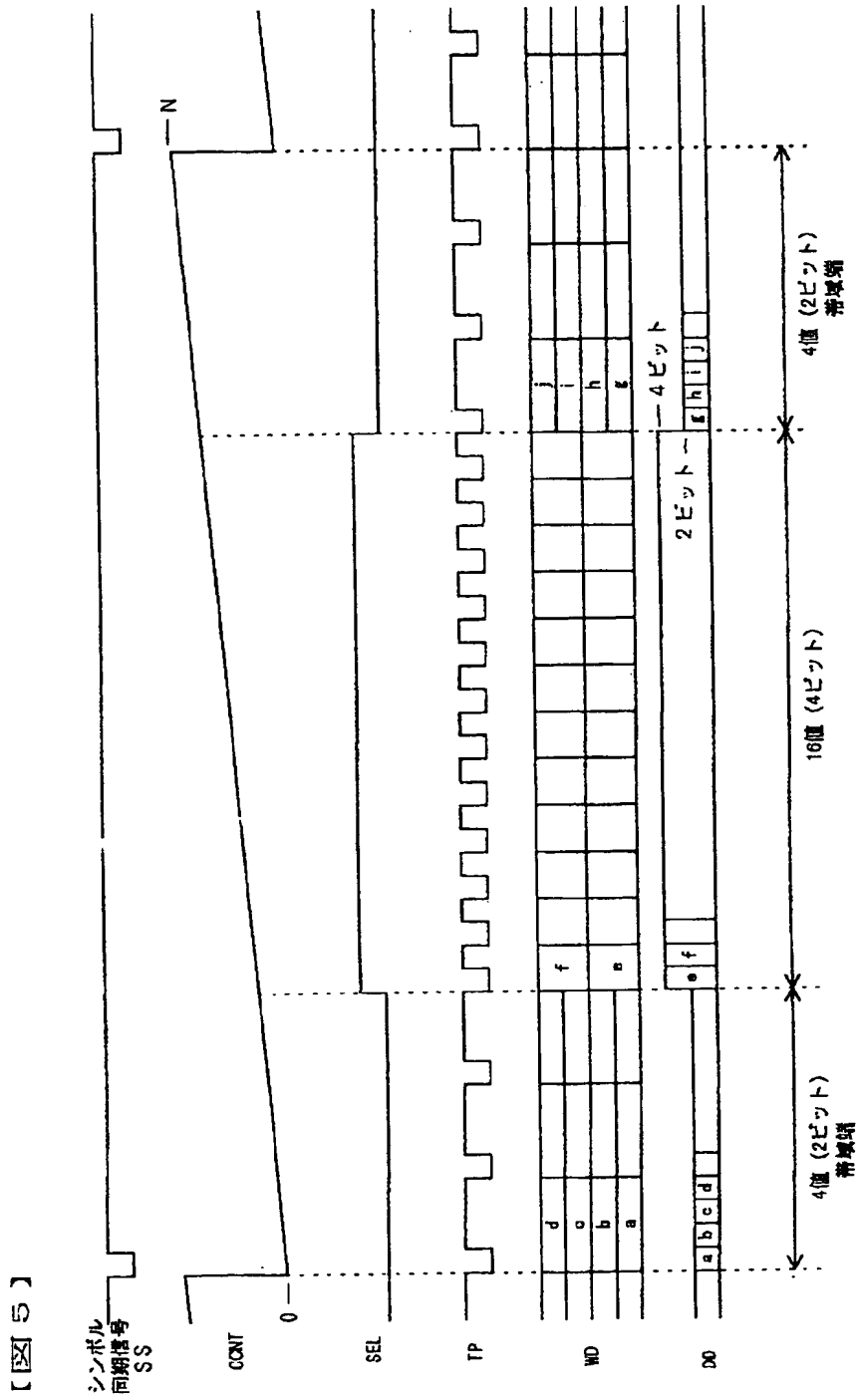
キャリア数カウンタ出力CCNTと各キャリア周波数の関係

【図8】

【図8】



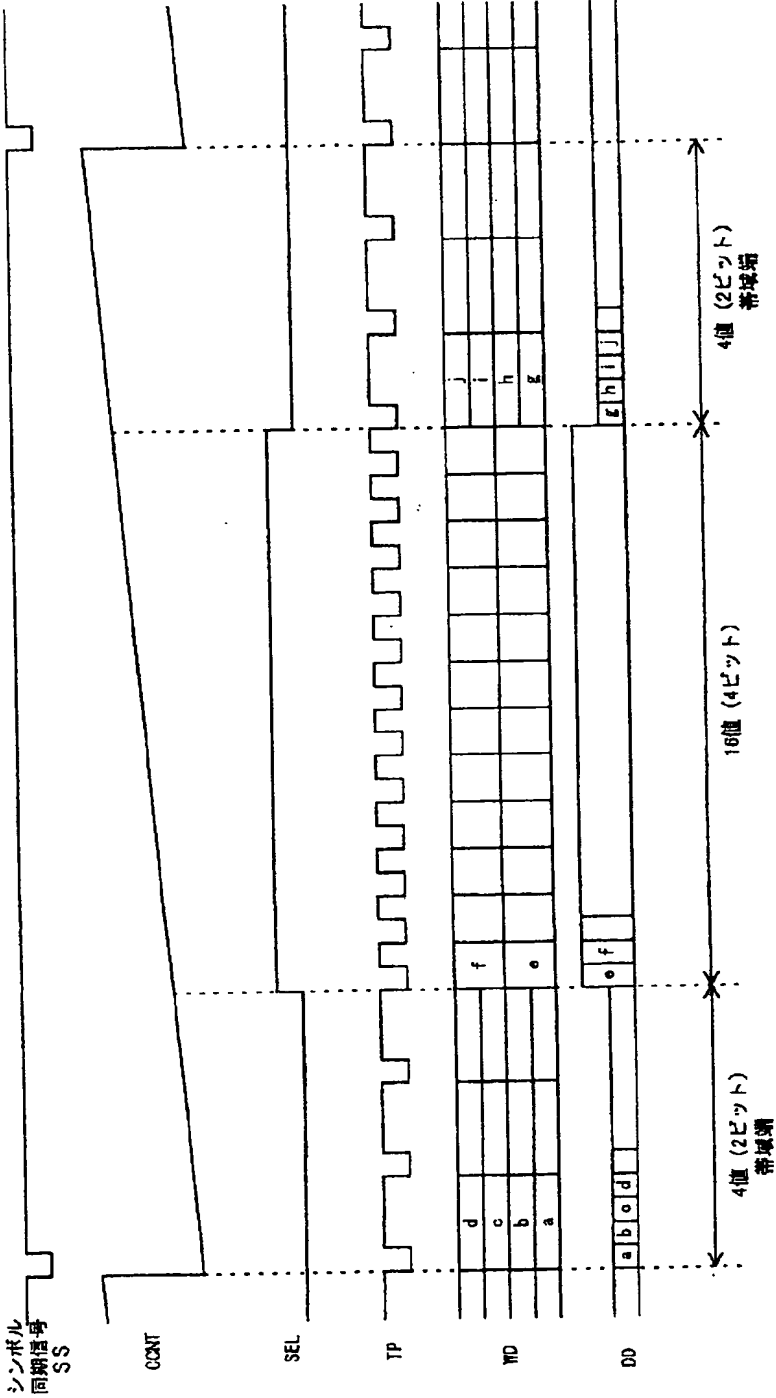
【図5】



タイミンギャート

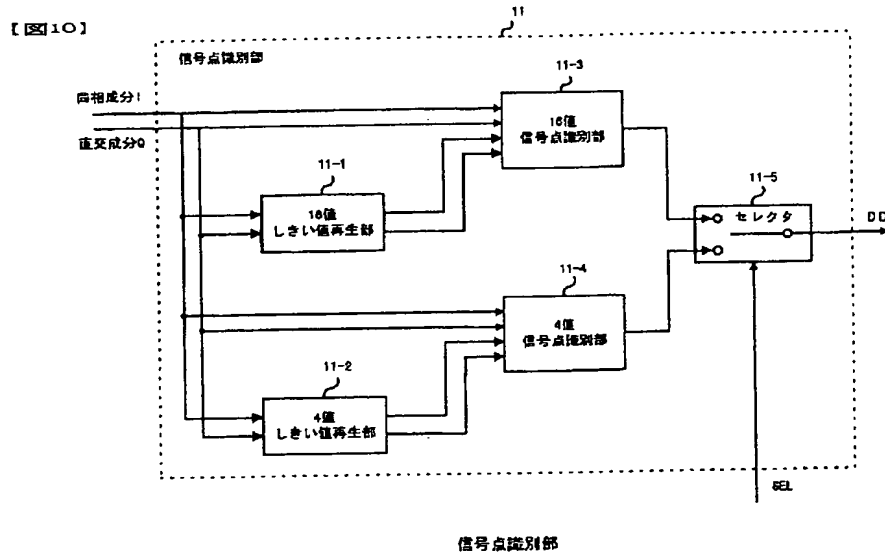
【図9】

【図9】



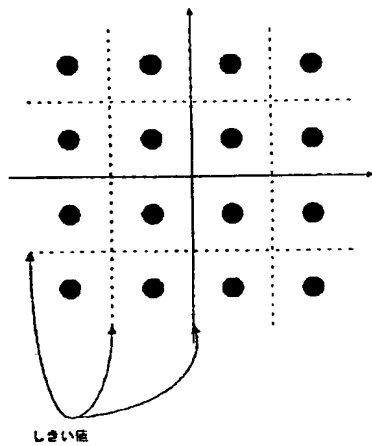
タイミングチャート

【図10】



【図11】

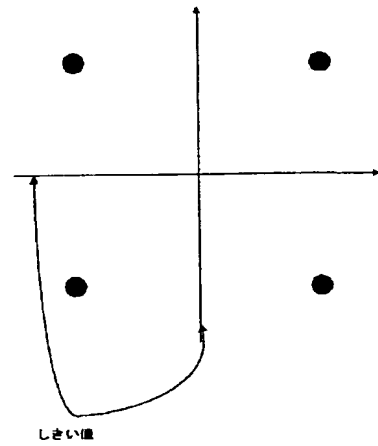
【図11】



16値復調の際のしきい値

【図12】

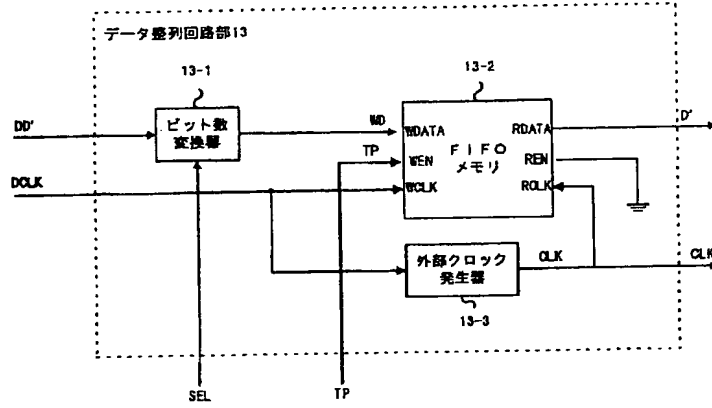
【図12】



4値復調の際のしきい値

【図13】

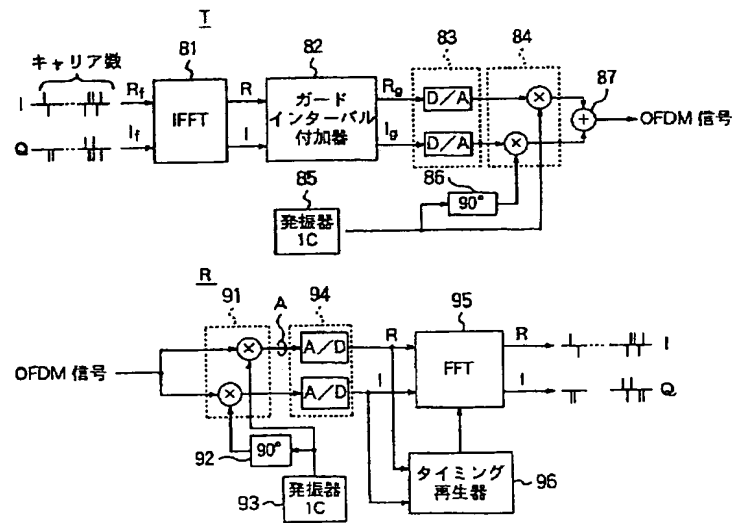
【図13】



データ整列回路部

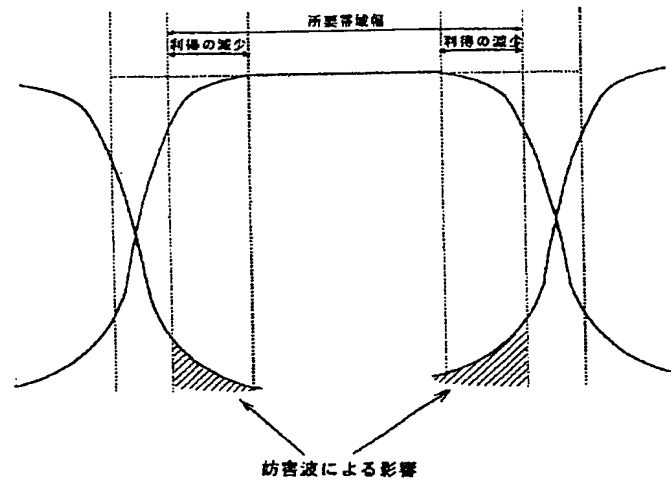
【図16】

【図16】



【図17】

【図17】



フロントページの続き

F ターム(参考) 5K004 AA01 AA08 BA02 BC01 JA02
JA03 JG01
5K022 AA02 AA04 AA16 AA43 DD13
DD19 DD21 DD23